

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-201773

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

G02F 1/133

G02F 1/136

H01L 29/786

H01L 21/336

(21)Application number : 07-036235

(71)Applicant : NEC CORP

(22)Date of filing : 31.01.1995

(72)Inventor : WATANABE MAKOTO
NAKAJIMA KOJI
SUKEGAWA OSAMU

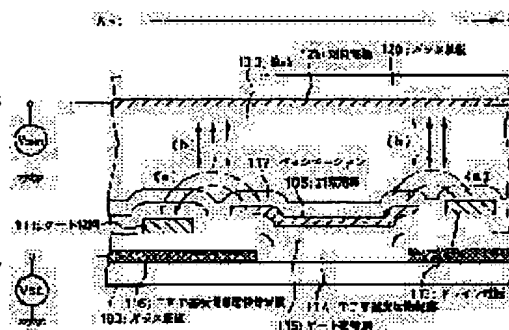
(54) ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To suppress liquid crystal discrimination which is the cause for the rough feel of a screen and after-images and to improve display quality by applying the potential different from the potential of a counter substrate electrode to a TFT side light shielding electrode.

CONSTITUTION: The load voltage of the potential V_{sc} is applied to the TFT side conductive light shielding film 116 and the offset voltage of the potential V_{com} is applied to the counter electrode 121. The longitudinal electric field component (b) between a pixel electrode 105 and the counter electrode 121 is increased relatively with the transverse electric field (a) generated in the liquid crystal layer in the periphery of the pixels by the potential differences between a gate electrode 111 and the pixel electrode 105 and between a drain electrode 113 and the pixel electrode 105 to lessen the reverse tilt of liquid crystals. The transverse electric field component (a) in the peripheral parts of the pixels which

is the cause for the reverse tilt of the liquid crystal is decreased relatively with respect to the longitudinal electric field component (b) which is to be intrinsically impressed and is necessary for display in such a manner, by which the discrimination is lessened and the good display characteristics having the decreased after images are obtained.



LEGAL STATUS

[Date of request for examination] 31.01.1995

[Date of sending the examiner's decision of rejection] 30.09.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2770763
[Date of registration] 17.04.1998
[Number of appeal against examiner's decision of rejection] 09-18573
[Date of requesting appeal against examiner's decision of rejection] 30.10.1997
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-201773

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F 1/133	5 5 0			
1/136	5 0 0			
H 0 1 L 29/786				

H 0 1 L 29/ 78 6 1 2 Z
6 1 9 B

審査請求 有 請求項の数 3 F D (全 12 頁) 最終頁に続く

(21) 出願番号 特願平7-36235

(22) 出願日 平成7年(1995)1月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 渡辺 誠

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 中嶋 公二

東京都港区芝五丁目7番1号 日本電気株式会社社内

(72) 発明者 助川 統

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 弁理士 加藤 朝道

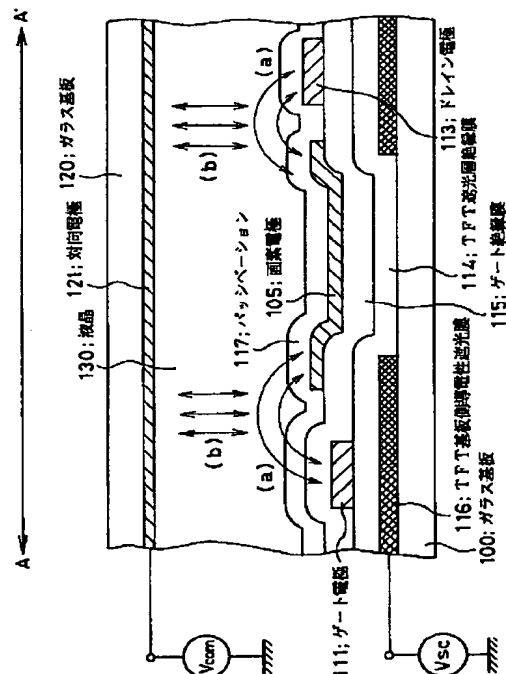
(54) 【発明の名称】 アクティブマトリクス液晶表示装置

(57) 【要約】

【目的】 アクティブマトリクス液晶表示装置の表示品質の向上を達成するため、画面のざらつき、残像の原因となる液晶ディスクリネーションを抑制すること。

【構成】 トランジスタ基板側に導電性遮光膜が設置されているアクティブマトリクス液晶表示装置に関し、従来等電位であった対向電極とトランジスタ側導電性遮光膜に適切な電位差を与える方式を採用。

【効果】 表示するために必要な本来印加されるべき画素電極-対向電極間の縦電界成分に対し、液晶のリバースチルトの原因となる画素周辺部の横電界成分を相対的に減少させ、ディスクリネーションを低減することができ残像のない良好な表示特性が得られた。



【特許請求の範囲】

【請求項1】ゲート電極、ゲート絶縁膜、半導体膜、ソース電極、ドレイン電極、パッシベーション絶縁膜からなるトランジスタ部と、トランジスタ側導電性遮光膜と、画素電極と、液晶層と、対向電極とを含む液晶素子を備えたアクティブマトリクス型液晶表示装置において、

前記トランジスタ基板側導電性遮光膜に前記対向電極とは独立した電位を印加することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】前記トランジスタ基板側導電性遮光膜に前記対向電極オフセット電圧より数10V程度低い負荷電圧を印加することを特徴とする請求項1記載のアクティブマトリクス型液晶表示装置。

【請求項3】前記トランジスタ部のバックチャネル上のパッシベーション絶縁膜の上にバックチャネル上導電性遮光膜を配設し、前記トランジスタ側導電性遮光膜上に配設された絶縁膜にコンタクトホールを設け、前記バックチャネル上導電性遮光膜と前記トランジスタ基板側導電性遮光膜とが電気的に接続されることを特徴とする請求項2に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアモルファスシリコン薄膜トランジスタを用いた液晶表示装置に関し、特にトランジスタ基板側に導電性遮光膜が設置されている高精細液晶表示装置に関する。

【0002】

【従来の技術】この種の従来の液晶表示装置として、例えば特開平3-50527号公報には、ガラス基板上に設けて画素電極形成領域に開口部を設けた遮光膜と、遮光膜を含む表面に設けた層間絶縁膜と、遮光膜上の層間絶縁膜上に設けた薄膜トランジスタと、薄膜トランジスタと接続し開口部に整合して層間絶縁膜上に設けた表示電極を有する薄膜トランジスタアレイ基板が提案され、ガラス基板上に設けた遮光膜によって、画素電極形成領域以外のTFT領域の遮光を行ない、背面光照射によるTFTオフ電流の増大を抑制し画素電極外からの漏れ光を遮断している。

【0003】図9は、この従来の薄膜トランジスタアレイ基板の単位画素の平面図、図10は、図9のA-A'線に沿った断面図、図11は図9のB-B'線に沿った断面図である。

【0004】図9において、1はゲート電極、2は半導体層、3はドレイン電極、4はソース電極、5は画素電極、7はTFT側導電性遮光膜の端部、6は開口部、11は走査信号線、12は映像信号線をそれぞれ示している。走査信号線11と映像信号線12とに囲まれる領域に単位画素が形成され、TFTのゲート電極1は走査信号線11

と、ドレイン電極は映像信号線12と、ソース電極3は画素電極5とそれぞれ電気的に接続され、ガラス基板上には画素電極形成領域に開口部6を備えた導電性遮光膜が設けられている。

【0005】図10及び図11を参照して、ガラス基板100の上にスパッタ法によりCr膜を堆積させ、画素電極形成領域に相当する部分のCr膜を選択的にエッチングして開孔し、遮光膜116を形成する。次に、遮光膜116を含む表面にCVD法により窒化シリコン膜を堆積して遮光層絶縁膜114を形成する。

【0006】次に、遮光層絶縁膜114の上にCr膜を堆積させ、選択的にエッチングし、遮光膜116の上にゲート電極111を形成する。その後、ゲート電極111を含む表面に窒化シリコン膜を堆積してゲート絶縁膜115を形成する。

【0007】ゲート電極111に対応するゲート絶縁膜115の上にアモルファスシリコン膜119及びアモルファスシリコンの表面に設けた n^+ 型アモルファスシリコン層119aを選択的に形成し、遮光膜116の開口部上のゲート絶縁膜115の上にITO膜を選択的に設けて画素電極105を形成する。ここで、画素電極105は遮光膜116の開口部周縁と重複部分を有するように形成される。

【0008】次に、アモルファスシリコン膜119を含む表面にCr膜を堆積して選択的にエッチングし、ドレイン電極113及びソース電極118を形成する。

【0009】ソース・ドレイン電極118、113をマスクとしてゲート電極111に対応する領域の n^+ 型アモルファスシリコン層119aを除去し、薄膜トランジスタアレイ基板を構成する。ここで図8に示すように、遮光膜116を対向電極121と等電位(=Vcom)にすることにより、遮光膜116と画素電極105の間で蓄積容量を形成している。

【0010】この従来の液晶表示装置の一面素分の等価回路を図13に示す。遮光層絶縁膜114、ゲート絶縁膜115は画素電極5と遮光膜116と間で容量を形成し、画素電極5と液晶130を挟む対向電極121は遮光膜116と同電位Vcomが印加されている。

【0011】この従来例では、TFTバックチャネル上には遮光膜が設置されていないため、耐光性に問題がある。

【0012】バックチャネル上に遮光膜を設けた薄膜トランジスタアレイとして、例えば特開昭60-192370号公報には、バックチャネル上のメタル遮光膜が前段あるいは後段のゲートラインに接続された構成が開示されている。図14は特開昭60-192370号公報に開示された薄膜トランジスタアレイの単位画素の平面図を示し、図15は図14のB-B'線に沿った断面図を、図16は図14のC-C'線に沿った断面図をそれぞれ示している。

【0013】図14において、1は走査信号線としてのゲートライン、119は半導体層、3はドレイン電極、4はソース電極、5は画素電極をそれぞれ示している。

【0014】また、図15、図16において、100はガラス基板、1はゲート電極、3はドレイン電極、4はソース電極、115はゲート絶縁膜、144は透明導電層からなる共通電極、145は層間絶縁膜、5は画素電極、117は層間絶縁膜、14はTFTバックチャネル上導電性遮光膜をそれぞれ示している。

【0015】図16を参照して、Cr等の金属からなるTFTバックチャネル上導電性遮光膜14は、前段のゲート電極1と接続されている。

【0016】また、例えば実開平3-42124号公報には、バックチャネル上の遮光膜をソース、ドレイン電極のいずれかに接続した薄膜トランジスタが開示されている。すなわち、図17を参照して、実開平3-42124号公報には、アモルファスシリコン膜119及び／又は n^+ 型アモルファスシリコン層119aからなる半導体層をはさんでゲート電極111と対向する側にパッシベーション絶縁膜117を介して金属から成るバックチャネル上導電性遮光膜14が設けられ、導電性遮光膜14はTFTのドレイン電極3と電気的に接続されている。

【0017】前記特開昭60-192370号公報及び前記実開平3-2124号公報において、バックチャネル上遮光膜はバックゲートとしての役割も同時に果たしているが、その電位は時間的に変化し、しかも任意に与えることはできない。

【0018】

【発明が解決しようとする課題】従来の液晶表示素子では、素子を高精度化すると画素電極周辺において、画素電極とTFT、ゲート走査線、映像信号線間の横電界が増加する傾向があり（図12参照）、本来液晶に与えるべき画素電極、対向電極間において垂直方向の電界が乱れる。このため、画素周辺では液晶のリバースチルト、リバースツイストによるディスクリネーションが発生し易くなる。

【0019】そして、ディスクリネーション発生箇所は光が常時透過し表示品位を低下させる。また、ディスクリネーションが開口部を移動することでユーザーの目には、残像として映る。

【0020】従って、本発明は、画面のざらつき、残像の原因となる液晶ディスクリネーションを抑制し、表示品質の向上を達成するアクティブマトリクス型液晶表示装置を提供することを目的とする。

【0021】

【課題を解決するための手段】前記目的を達成するため本発明は、アクティブマトリクス型液晶表示装置において、TFT側遮光電極に対向基板電極と異なる電位を与えることを特徴とする。

【0022】本発明においては、好ましくは、前記トランジスタ基板側導電性遮光膜に前記対向電極オフセット電圧より数10V程度低い負荷電圧を印加することを特徴とする。

【0023】また、本発明においては、前記トランジスタ部のバックチャネル上パッシベーション絶縁膜の上に導電性遮光膜を配設し、さらに前記トランジスタ側導電性遮光膜上に配設された絶縁膜にコンタクトホールを開け、バックチャネル上遮光膜と前記トランジスタ基板側導電性遮光膜とが電気的に接続されるように構成してもよい。なお、トランジスタ側導電性遮光膜上にはTFT遮光層絶縁膜、ゲート絶縁膜、パッシベーション膜の3層の絶縁膜が配設される。

【0024】

【作用】本発明によれば、従来同電位であった対向電極とトランジスタ側導電性遮光膜とに適切な電位差を与えることにより、表示するために必要な本来印加されるべき画素電極－対向電極間の縦電界成分に対して、液晶のリバースチルトの原因となる画素周辺部の横電界成分を相対的に減少させ、ディスクリネーションを低減することができ、残像のない良好な表示特性が得られる。

【0025】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0026】

【実施例1】図1を参照して、本発明の第1の実施例を説明する。図1において、前記従来例の説明に用いた図13と同一の要素には同一の参照符号が付されている。以下では、前記従来例との相違点のみを説明する。

【0027】図1に示すように、本実施例においては、TFT側導電性遮光膜116に対しては電位 V_{SC} の負荷電圧を印加し、対向電極121に対しては電位 V_{com} のオフセット電圧を印加しており、ゲート電極111－画素電極105間、ドレイン電極113－画素電極105間の電位差により画素周辺部液晶層に発生する横方向電界（図1の符号(a)）に対し、相対的に画素電極105－対向電極102間の縦電界成分（図1の符号(b)）を増し液晶のリバースチルトを低減している。

【0028】図2に本実施例における一画素分の等価回路を示す。図2に示すように、画素電極5と共にゲート絶縁膜115、TFT遮光層絶縁膜114をはさんで容量を形成するTFT側導電性遮光膜116は対向電極121とは別に電位 V_{SC} が印加されている。

【0029】なお、TFT側導電性遮光膜116は図3に示すようなベタ基板であり、電圧を供給する端子は基板の四隅に設置され、給電線の布線による開口率の低下はない。

【0030】実験結果の一例として、TFT側導電性遮光膜116の電圧（ V_{SC} ）、対向電極121の電圧（ V_{com} ）と、ディスクリネーションの相関関係の一例を図4～図6に示す。なお、図中 V_{comopt} とは中間調表示の際にフリッカが最小となる、すなわちセル内DC成分が最小となる対向電極電圧値である。通常対向電極電圧は V_{comopt} に設定されている。

【0031】ところが、 V_{comopt} の値はセル厚、ゲート電圧、ドレイン電圧の設定値に依存して変化し、パネルにより異なる。そのため、 V_{comopt} の値はパネルごとに若干異なる。本実施例では、 V_{comopt} の値のバラツキを考慮している ($\pm 0.2V$)。

【0032】図4は、画素を白表示から黒表示に切り替えたときディスクリネーションが画素開口部内から消滅するまでの時間を計測したものである。

【0033】従来構造では、 V_{sc} と V_{com} は双方とも V_{comopt} に設定され、実験結果からディスクリネーションの画素内存在時間が長いことがわかる。また V_{com} が V_{comopt} から若干低下した時に、ディスクリネーションの画素内存在時間が長くなる。

【0034】本実施例では、 V_{sc} を V_{comopt} (約8V) より15~25V程度低い電圧に設定することにより、ディスクリネーションの画素内への侵入を抑制できることが分かる。

【0035】図5は、画素内開口部に定在するディスクリネーション頻度 (画素数) を示したものであり、画素内開口部に侵入したディスクリネーションが、開口部から消えずに定在している画素数を官能的な判断で捉えたものである。

【0036】図5を参照して、 $V_{com}=V_{comopt}$ では定在型ディスクリネーションはほとんど存在しないが、 V_{com} が V_{comopt} から若干変化したとき、定在するディスクリネーションが発生する。 V_{sc} をこの例では、($V_{comopt}-15$) V以下にするとこの現象は生じない。

【0037】図6は、画素内で移動しないが画素開口部周辺に現れる明線面積を官能的判断で捉えたものである。この明線は全画素に一樣に発生する。

【0038】図6から、 V_{com} が V_{comopt} 付近であるとき、 V_{sc} を変化させると $|V_{sc}|$ が大きくなるにつれ明線面積が増すことが分かる。この例では、 $V_{sc} > (V_{comopt}+10)$ V、 $V_{sc} < (V_{comopt}-30)$ Vで顕著である。

【0039】以上、図4~図6に示す実験結果から総合的に判断すると、本実施例では、 V_{sc} を V_{comopt} より15Vから20V程度低く設定した場合、ディスクリネーションが抑制され表示が良好になる。また、 V_{com} が V_{comopt} から微妙に外れた場合もディスクリネーションが発生し難くなり、表示品質が安定する。

【0040】

【実施例2】本発明の液晶表示装置の第2の実施例の単位画素の平面図を図7に示し、図8に図7のB-B'線に沿った断面図を示す。

【0041】図7において、1はゲート電極、2は半導体膜、3はドレイン電極、4はソース電極、5は画素電極、7はTFT側導電性遮光膜の端部、8はTFTバックチャネル遮光膜コンタクト部、11は走査信号線、12は映像信号線、14はバックチャネル保護遮光膜をそれぞれ

示している。

【0042】図8を参照して、本実施例は、ガラス基板100の上にスパッタ法によりCr膜を堆積し、表示電極形成領域に相当する部分のCr膜を選択的にエッチングして開孔し、TFT側導電性遮光膜116を形成する。次にTFT側導電性遮光膜116を含む表面にCVD法により窒化シリコン膜を堆積してTFT遮光層絶縁膜114を形成する。

【0043】窒化シリコン膜のコンタクトホールに相当する部分を選択的にエッチングして開孔した後、TFT遮光層絶縁膜114の上にCrを堆積しゲート電極111、及びゲートコンタクト141を形成する。

【0044】CVD法により窒化シリコン膜を堆積させゲート絶縁膜115を形成する。その後、ゲート電極111に対応するゲート絶縁膜115の上にアモルファスシリコン膜119及びアモルファスシリコンの表面に設けた n^+ 型アモルファスシリコン層を選択的に形成し、遮光膜116の開口部上のゲート絶縁膜115の上にITO膜を選択的に設けて表示電極105を形成する。ここで、表示電極105はTFT側導電性遮光膜116の開口部周縁と重複部分を有するように形成される。

【0045】次に、ゲート絶縁膜115のコンタクトホールに相当する部分を選択的にエッチングする。

【0046】アモルファスシリコン膜119を含む表面にCr膜を堆積して選択的にエッチングし、ドレイン電極113、ソース電極118 (例えば図10の断面図参照)、及びドレインコンタクト142を形成する。

【0047】ソース・ドレイン電極113、118をマスクとしてゲート電極111に対応する領域の n^+ 型アモルファスシリコン層19a (例えば図10の断面図参照) を除去する。

【0048】次に、CVD法で窒化シリコン膜を堆積させ、パッシベーション膜117を形成する。

【0049】さらに、コンタクトホールに相当する部分を選択的にエッチングする。その後、パッシベーション膜117の上にCrを堆積して選択的にエッチングすることにより、TFTバックチャネル上導電性遮光膜140を形成し、本実施例の薄膜トランジスタアレイ基板が完成する。

【0050】ここで、TFTバックチャネル上導電性遮光膜140はTFT側導電性遮光膜116と同電位になり任意に与えることができる。すなわち、TFTバックチャネル上導電性遮光膜140は、安定したバックゲート電極としての機能を有するようになる。なお、このバックゲート (図7の14) は、従来例と異なり、電氣的にゲート線、ドレイン線とは独立しており、任意の安定した電位を与えることができる。

【0051】バックゲートにマイナス電圧を印加すると、前記第1の実施例におけるディスクリネーション抑制効果に加えTFTオフ時のリーク電流が抑制できる。

【0052】以上、本発明を上記各実施例に即して説明したが、本発明は上記態様にのみ限定されるものでなく、本発明の原理に準ずる各種態様を含むことは勿論である。

【0053】

【発明の効果】以上説明したように、本発明によれば、TFT側導電性遮光膜に対向電極と異なる適切な電位を与えることによって画素周辺部に発生するディスクリネーションを低減することができ、液晶表示装置として表示品位の向上、安定化を実現することができた。

【0054】また、本発明によれば、バックチャネル上導電性遮光膜をコンタクトホールを介してTFT側導電性遮光膜とを電氣的に接続したことにより、ディスクリネーションを抑制すると共に、TFTオフ時のリーク電流を抑制することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を説明する断面図である。

【図2】本発明の一実施例の等価回路を示す図である。

【図3】本発明の一実施例におけるTFT側導電性遮光膜層と電圧供給用引き出し端子位置を示す図である。

【図4】本発明の一実施例の実施結果を説明する図であり、ディスクリネーションの画素内開口部存在時間を示す図である。

【図5】本発明の一実施例の実施結果を説明する図であり、画素内開口部に定在するディスクリネーション頻度を示す図である。

【図6】本発明の一実施例の実施結果を説明する図であり、画素内周辺部に見える明線面積を示す概念図である。

【図7】本発明の別の実施例の単位画素の平面図である。

【図8】本発明の別の実施例、即ち図7のC-C'線に沿った断面図である。

【図9】従来例（特開平3-050527号公報）の単位画素の平面図である。

【図10】図9のA-A'線に沿った断面図である。

【図11】図9のB-B'線に沿った断面図である。

【図12】従来の液晶表示素子構造を説明する断面図である。

【図13】図9の従来例の等価回路である。

【図14】従来例（特開昭60-192370号公報）の単位画素の平面図である。

【図15】図14のB-B'線に沿った断面図である。

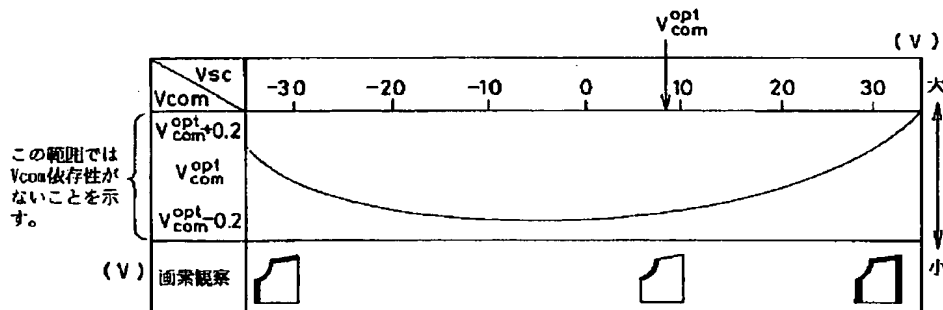
【図16】図14のC-C'線に沿った断面図である。

【図17】従来例（実開平3-42124号公報）の液晶表示素子構造の断面図である。

【符号の説明】

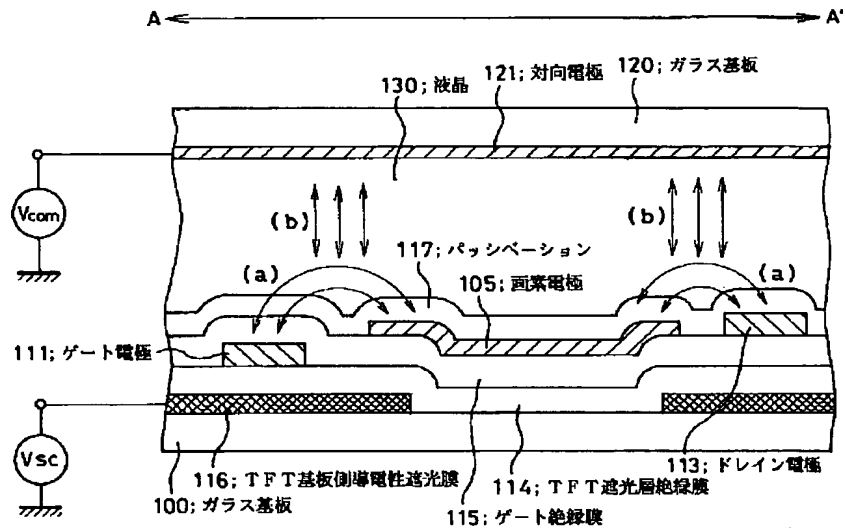
- 1、111 ゲート電極
- 2 半導体膜
- 3、113 ドレイン電極
- 4 ソース電極
- 5、105 画素電極
- 11 走査信号線
- 12 映像信号線
- 13、113 隣接する映像信号線
- 14、140 TFTバックチャネル上導電性遮光膜
- 100、120 ガラス基板
- 114 TFT遮光層絶縁膜
- 115 ゲート絶縁膜
- 116 TFT基板側導電性遮光膜
- 117 パッシベーション
- 119 アモルファスシリコン膜
- 119a n⁺型アモルファスシリコン層
- 121 対向電極
- 130 液晶
- 141 ゲートコンタクト
- 142 ドレインコンタクト
- 143 バックチャネル保護絶縁膜
- 144 補助容量電極
- 145 層間絶縁膜

【図6】

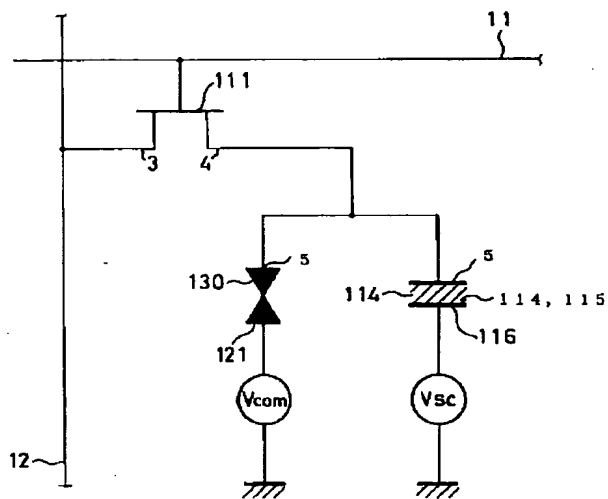


画素内周辺に見える明線面積（概念内）

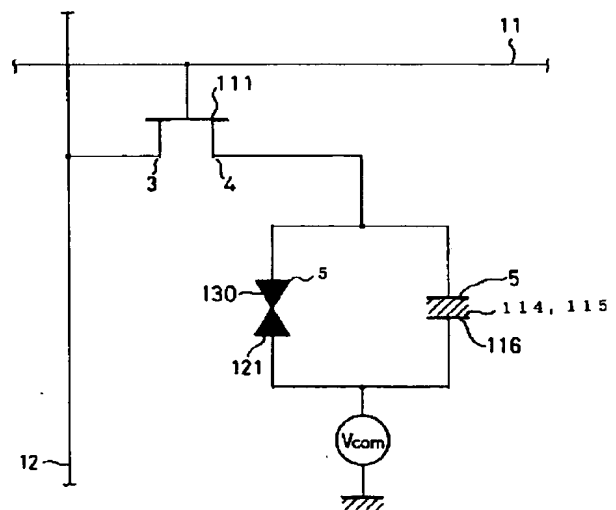
【図1】



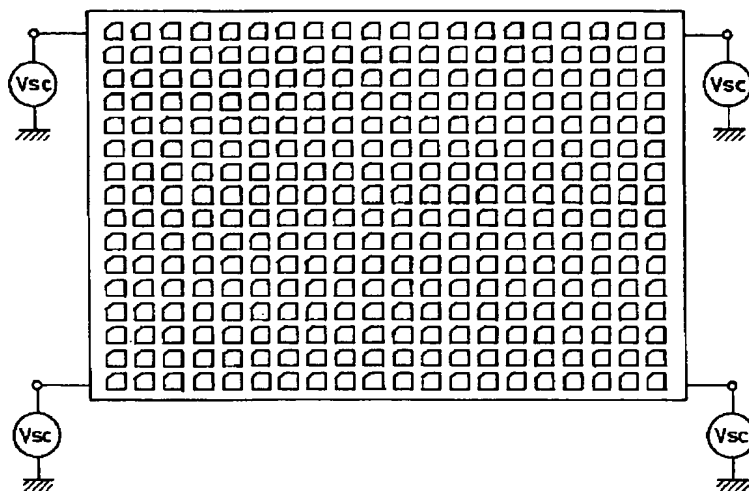
【図2】



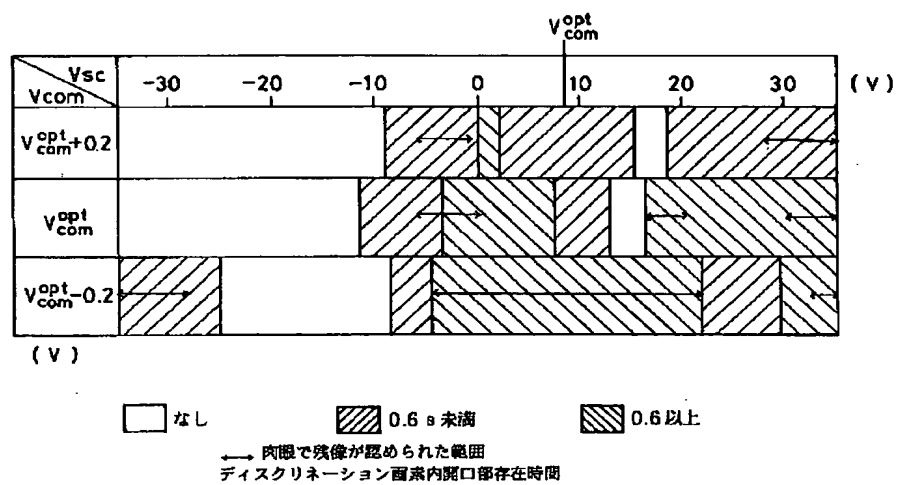
【図13】



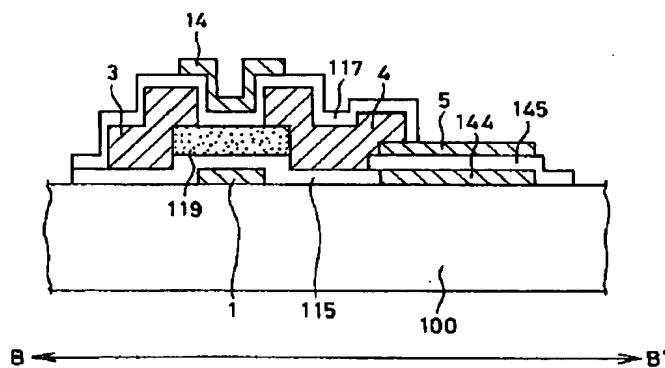
【図3】



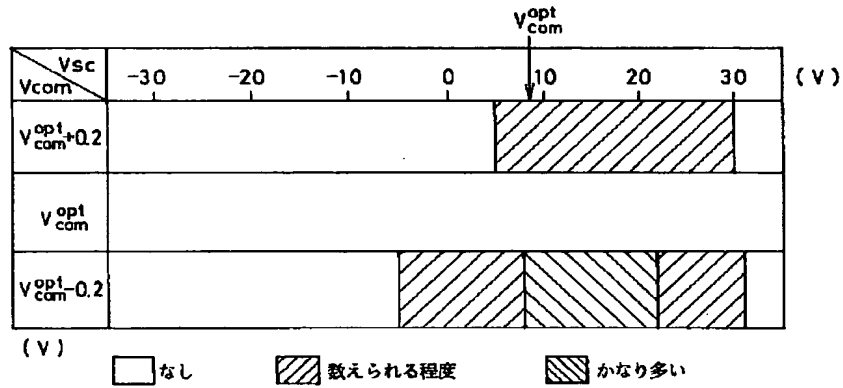
【図4】



【図15】

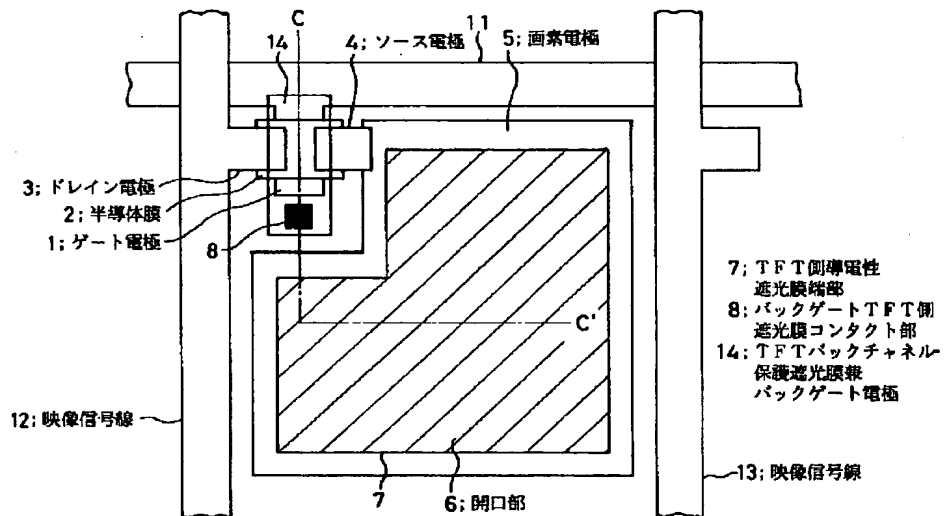


【図5】

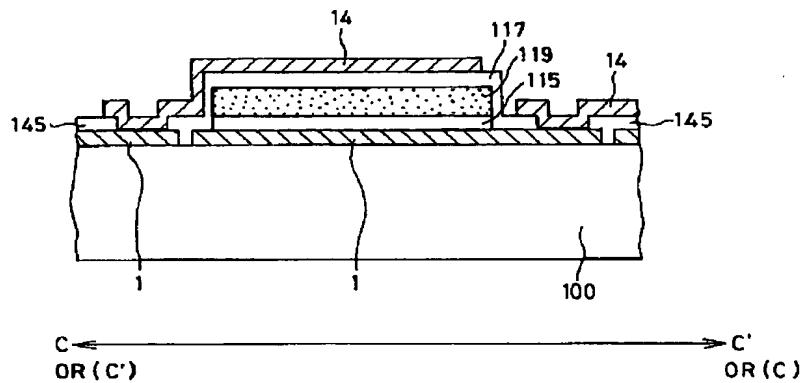


面素内開口部に定在するディスクリネーション傾度 (画素数)

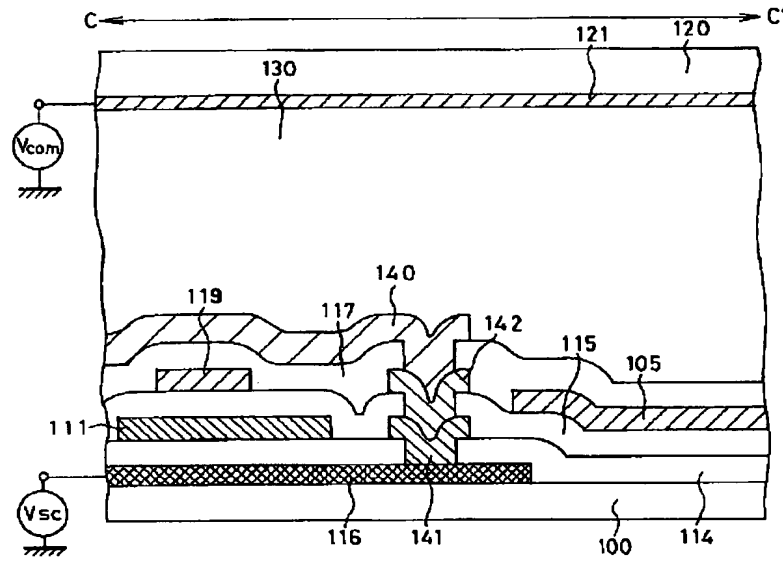
【図7】



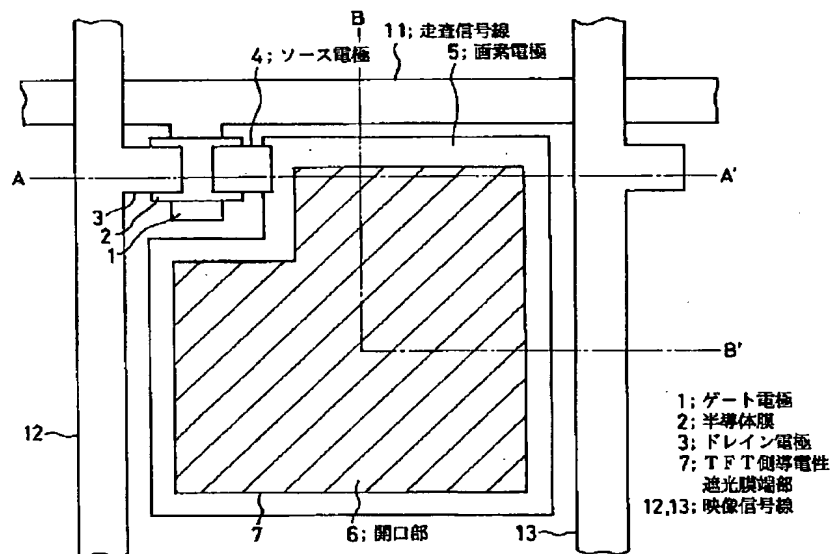
【図16】



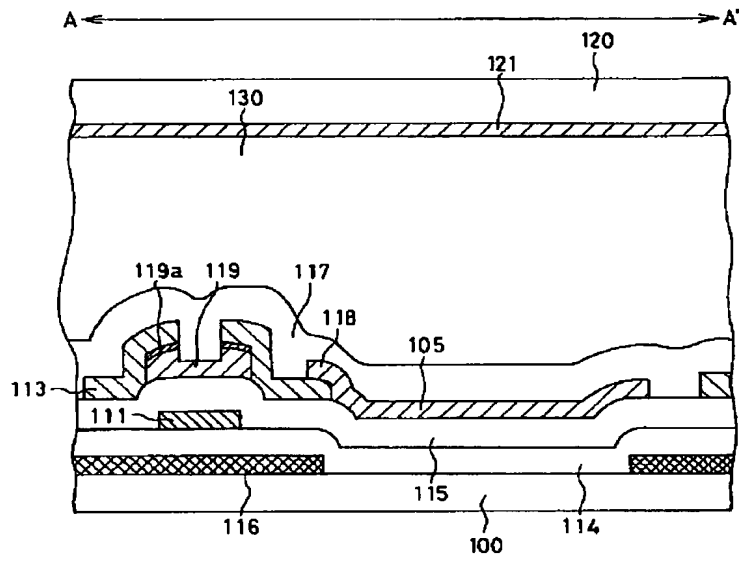
【図8】



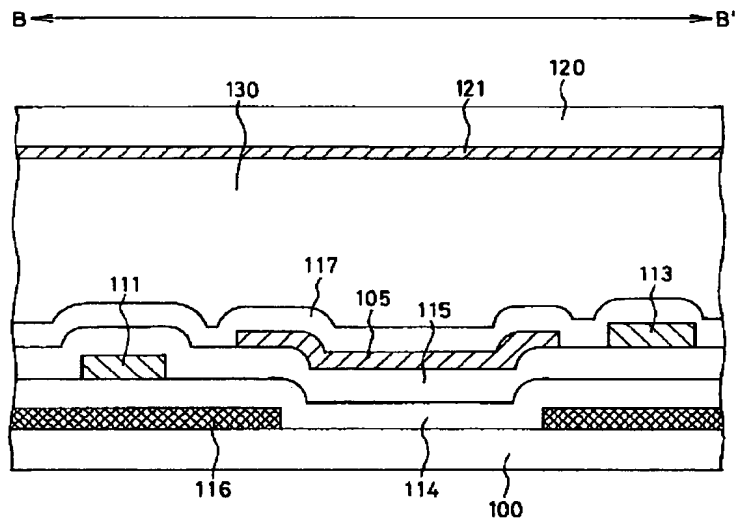
【図9】



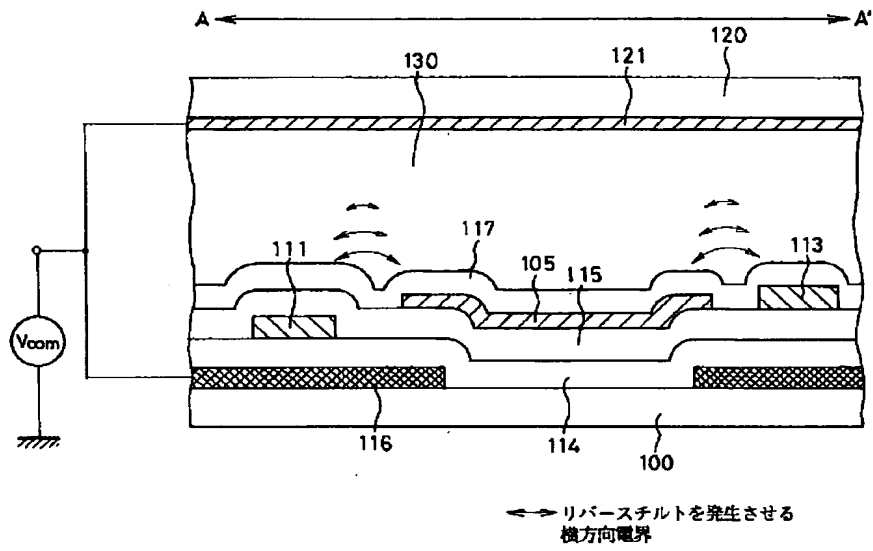
【図10】



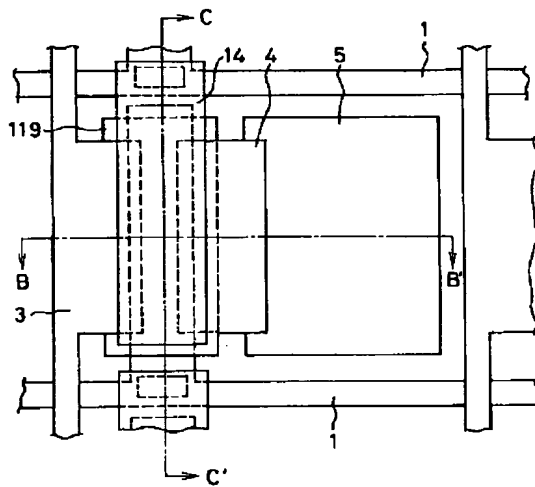
【図11】



【図12】



【図14】



This cross-sectional view shows a substrate 100 with a layer 111 on top. A patterned layer 119 is formed on layer 111, with a top layer 119a. Various features are labeled with numbers: 3, 4, 5, 14, 143, 144, 117, 119, 119a, and 115.

(51) Int. Cl. ⁶
H O 1 L 21/336

庁内整理番号

F I

技術表示箇所

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the active matrix liquid crystal indicating equipment characterized by impressing potential which said counterelectrode became independent of on said transistor substrate side conductivity protection-from-light film in an active matrix liquid crystal indicating equipment equipped with a liquid crystal device containing the transistor section which consists of a gate electrode, a gate insulator layer, a semiconductor film, a source electrode, a drain electrode, and a passivation insulator layer, a transistor side conductivity protection-from-light film, a pixel electrode, a liquid crystal layer, and a counterelectrode.

[Claim 2] said transistor substrate side conductivity protection-from-light film -- said counterelectrode offset voltage -- a-ten number -- an active matrix liquid crystal display according to claim 1 characterized by impressing load voltage low [about V].

[Claim 3] An active matrix liquid crystal display according to claim 2 characterized by establishing a contact hole in an insulator layer which arranged a back channel top conductivity protection-from-light film on a passivation insulator layer on a back channel of said transistor section, and was arranged on said account conductivity protection-from-light film of a transistor side, and connecting electrically said back channel top conductivity protection-from-light film and said transistor substrate side conductivity protection-from-light film.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the highly minute liquid crystal display with which the conductive protection-from-light film is installed especially in the transistor substrate side about the liquid crystal display which used the amorphous silicon thin film transistor.

[0002]

[Description of the Prior Art] As this kind of a conventional liquid crystal display, to JP,3-50527,A The protection-from-light film which prepared on the glass substrate and prepared opening in the pixel electrode formation field, The thin film transistor prepared on the interlayer insulation film prepared in the front face containing a protection-from-light film, and the interlayer insulation film on a protection-from-light film, With the protection-from-light film which the thin film transistor array substrate which has the display electrode which connected with the thin film transistor, adjusted in the opening, and was prepared on the interlayer insulation film was proposed, and was prepared on the glass substrate TFT fields other than a pixel electrode formation field are shaded, buildup of the TFT OFF state current by back light exposure is controlled, and the leakage light from the outside of a pixel electrode is intercepted.

[0003] The cross section where drawing 9 met the plan of the unit pixel of this conventional thin film transistor array substrate, and drawing 10 met the A-A' line of drawing 9 , and drawing 11 are the cross sections which met the B-B' line of drawing 9 .

[0004] drawing 9 -- setting -- 1 -- a gate electrode and 2 -- a semiconductor layer and 3 -- a drain electrode and 4 -- in the edge of the TFT side conductivity protection-from-light film, and 6, opening and 11 show a scan signal line and, as for a source electrode and 5, 12 shows [a pixel electrode and 7] the video-signal line, respectively. An unit pixel is formed in the field surrounded by the scan signal line 11 and the video-signal line 12, and the lead-wire nature protection-from-light film with which the video-signal line 12 and the source electrode 3 were electrically connected with the pixel electrode 5 for the scan signal line 11 and the drain electrode, respectively, and the gate electrode 1 of TFT was equipped with opening 6 to the pixel electrode formation field on the glass substrate is prepared.

[0005] With reference to drawing 10 and drawing 11 , Cr film is made to deposit by the spatter on a glass substrate 100, Cr film of the portion equivalent to a pixel electrode formation field is etched selectively, and is punctured, and the protection-from-light film 116 is formed. Next, a silicon nitride film is deposited on the front face containing the protection-from-light film 116 with a CVD method, and the protection-from-light layer insulator layer 114 is formed.

[0006] Next, Cr film is made to deposit on the protection-from-light layer insulator layer 114, it etches selectively, and the gate electrode 111 is formed on the protection-from-light film 116. Then, a silicon nitride film is deposited on the front face containing the gate electrode 111, and the gate insulator layer 115 is formed.

[0007] n+ mold amorphous silicon layer 119a prepared in the front face of the amorphous silicon film 119 and an amorphous silicon is selectively formed on the gate insulator layer 115 corresponding to the

gate electrode 111, on the gate insulator layer 115 on opening of the protection-from-light film 116, an ITO film is prepared selectively and the pixel electrode 105 is formed. Here, the pixel electrode 105 is formed so that it may have the opening periphery and duplication portion of the protection-from-light film 116.

[0008] Next, Cr film is deposited on the front face containing the amorphous silicon film 119, it etches selectively, and the drain electrode 113 and the source electrode 118 are formed.

[0009] n⁺ mold amorphous silicon layer 119a of the field corresponding to the gate electrode 111 is removed by using the source drain electrodes 118 and 113 as a mask, and a thin film transistor array substrate is constituted. As shown in drawing 8, storage capacitance is formed between the protection-from-light film 116 and the pixel electrode 105 here by making the protection-from-light film 116 into potentials [counterelectrode / 121] (= Vcom).

[0010] The equal circuit for 1 pixel of this conventional liquid crystal display is shown in drawing 13. The protection-from-light layer insulator layer 114 and the gate insulator layer 115 form capacity the pixel electrode 5, the protection-from-light film 116, and in between, and, as for the pixel electrode 5 and the counterelectrode 121 which sandwiches liquid crystal 130, the protection-from-light film 116 and this potential Vcom are impressed.

[0011] In this conventional example, since the protection-from-light film is not installed on the TFT back channel, a problem is in lightfastness.

[0012] As thin film transistor array which prepared the protection-from-light film on the back channel, the configuration in which the metal protection-from-light film on a back channel was connected to the gate line of the preceding paragraph ***** latter part is indicated by JP,60-192370,A. Drawing 14 shows the plan of the unit pixel of the thin film transistor array indicated by JP,60-192370,A, and the cross section where drawing 16 met the C-C' line of drawing 14 in the cross section where drawing 15 met the B-B' line of drawing 14 is shown, respectively.

[0013] In drawing 14, in a semiconductor layer and 3, a drain electrode and 4 show a source electrode and, as for 1, 5 shows [the gate line as a scan signal line, and 119] the pixel electrode, respectively.

[0014] Moreover, in drawing 15 and drawing 16, in an interlayer insulation film and 5, a pixel electrode and 117 show an interlayer insulation film, and, as for 100, 14 shows [a glass substrate the common electrode with which a drain electrode and 4 consist in a gate electrode and 3, and a gate insulator layer and 144 consist / 1 / of a transparence conductive layer in a source electrode and 115, and 145] the TFT back channel top conductivity protection-from-light film, respectively.

[0015] With reference to drawing 16, the TFT back channel top conductivity protection-from-light film 14 which consists of metals, such as Cr, is connected with the gate electrode 1 of the preceding paragraph.

[0016] Moreover, the thin film transistor which connected the protection-from-light film on a back channel to the source or a drain electrode is indicated by JP,3-42124,U, for example. That is, with reference to drawing 17, on both sides of the semiconductor layer which consists of an amorphous silicon film 119 and/or n⁺ mold amorphous silicon layer 119a, the gate electrode 111 and the back channel top conductivity protection-from-light film 14 which changes from a metal to the side which counters through the passivation insulator layer 117 are formed in JP,3-42124,U, and the conductive protection-from-light film 14 is electrically connected with the drain electrode 3 of TFT.

[0017] In said JP,60-192370,A and said JP,3-2124,U, although the protection-from-light-on back channel film has also played a role of a backgate simultaneously, the potential cannot change in time and, moreover, cannot be given to arbitration.

[0018]

[Problem(s) to be Solved by the Invention] With the conventional liquid crystal display element, when an element is high-definition-ized, in the pixel electrode circumference, there is an inclination which the horizontal electric field between a pixel electrode, TFT, the gate scanning line, and a video-signal line increase (refer to drawing 12), and vertical electric field are confused between the pixel electrode which should be essentially given to liquid crystal, and a counterelectrode. For this reason, it becomes easy to generate the reverse tilt of liquid crystal, and the disclination by the reverse twist around a pixel.

[0019] And light always penetrates a disclination generating part and it reduces display grace. Moreover, it is reflected in a user's eyes as an after-image because disclination moves opening.

[0020] Therefore, this invention controls the rough deposit of a screen, and the liquid crystal disclination leading to an after-image, and aims at offering the active matrix liquid crystal display which attains improvement in display quality.

[0021]

[Means for Solving the Problem] In order to attain said object, this invention is characterized by giving potential which is different from an opposite substrate electrode in the TFT side protection-from-light electrode in an active matrix liquid crystal display.

[0022] this invention -- setting -- desirable -- said transistor substrate side conductivity protection-from-light film -- said counterelectrode offset voltage -- a-ten number -- it is characterized by impressing load voltage low [about V].

[0023] Moreover, in this invention, a contact hole may be opened in an insulator layer which arranged a conductive protection-from-light film on a back channel top passivation insulator layer of said transistor section, and was further arranged on said account conductivity protection-from-light film of a transistor side, and you may constitute so that a protection-from-light-on back channel film and said transistor substrate side conductivity protection-from-light film may be connected electrically. In addition, on an account conductivity protection-from-light film of a transistor side, an insulator layer, a TFT protection-from-light layer insulator layer, a gate insulator layer, and a passivation film, of three layers is arranged.

[0024]

[Function] By giving the potential difference suitable according to this invention for the counterelectrode which was this potential conventionally, and a transistor side conductivity protection-from-light film, the horizontal electric-field component of a pixel periphery leading to the reverse tilt of liquid crystal can be relatively decrease to the vertical electric-field component between the pixel electrode-counterelectrodes which should be impress essentially [required in order to display], disclination can be reduce, and the good display property that no after-image is is acquire.

[0025]

[Example] With reference to a drawing, the example of this invention is explained below.

[0026]

[Example 1] The 1st example of this invention is explained with reference to drawing 1 . In drawing 1 , the same reference mark is given to the same element as drawing 13 used for explanation of said conventional example. Below, only a point of difference with said conventional example is explained.

[0027] As shown in drawing 1 , in this example, the load voltage of potential VSC is impressed to the TFT side conductivity protection-from-light film 116. The offset voltage of potential Vcom is impressed to a counterelectrode 121. As opposed to the longitudinal direction electric field (sign of drawing 1 (a)) generated in a pixel periphery liquid crystal layer according to the potential difference between the gate electrode 111-pixel electrodes 105 and between the drain electrode 113-pixel electrodes 105 relative -- the increase of the length electric-field component between the pixel electrode 105-counterelectrodes 102 (sign of drawing 1 (b)) -- liquid crystal -- the reverse tilt is reduced.

[0028] The equal circuit for 1 pixel in this example is shown in drawing 2 . As shown in drawing 2 , the potential potential VSC is impressed independently [a counterelectrode 121] by the TFT side conductivity protection-from-light film 116 which forms capacity on both sides of the gate insulator layer 115 and the TFT protection-from-light layer insulator layer 114 with the pixel electrode 5.

[0029] In addition, the TFT side conductivity protection-from-light film 116 is a solid substrate as shown in drawing 3 , and the terminal which supplies voltage is installed in the four corners of a substrate, and it does not have the decline in the numerical aperture by the wiring of a feeder.

[0030] As an example of an experimental result, an example of the voltage (VSC) of the TFT side conductivity protection-from-light film 116, the voltage (Vcom) of a counterelectrode 121, and the correlation of disclination is shown in drawing 4 - drawing 6 . In addition, the inside Vcomopt of drawing is the counterelectrode voltage value from which a flicker serves as min, namely, DC component in a cel serves as min in the case of a halftone display. Usually, counterelectrode voltage is

set as V_{comopt} .

[0031] However, the value of V_{comopt} changes depending on the set point of cell thickness, gate voltage, and drain voltage, and changes with panels. Therefore, the values of V_{comopt} differ a little for every panel. The variation in the value of V_{comopt} is taken into consideration in this example ($\pm 0.2V$).

[0032] Drawing 4 measures time amount until disclination disappears out of pixel opening, when a pixel is changed from a white display to a black display.

[0033] Conventionally, with structure, both sides are set as V_{comopt} and a ***** understands the existence time amount in a pixel of disclination for V_{sc} and V_{com} from an experimental result. Moreover, when V_{com} falls a little from V_{comopt} , the existence time amount in a pixel of disclination becomes long.

[0034] this example -- V_{sc} -- V_{comopt} (about 8 V) -- 15-25 -- by setting it as voltage low [about V] shows that trespass into the pixel of disclination can be controlled.

[0035] Drawing 5 shows the disclination frequency (pixel number) where it constant-** to the opening in a pixel, and catches the number of pixels which the disclination which invaded into the opening in a pixel is constant-**(ing), without disappearing from a opening by sensuous decision.

[0036] Although constant ** type disclination hardly exists by $V_{com}=V_{comopt}$ with reference to drawing 5 , when V_{com} changes from V_{comopt} a little, the disclination which constant-** occurs. In this example, if V_{sc} is made below into V ($V_{comopt}-15$), this phenomenon will not produce it.

[0037] Although drawing 6 does not move within a pixel, it catches the bright line area which appears around pixel opening by sensuous decision. This bright line is uniformly generated in all pixels.

[0038] It turns out that bright line area increases as $|V_{sc}|$ will become large, if V_{sc} is changed from drawing 6 when V_{com} is near V_{comopt} . In this example, it is remarkable at $V_{sc} > (V_{comopt}+10)$ V and $V_{sc} < (V_{comopt}-30)$ V.

[0039] As mentioned above, by this example, if it judges synthetically from the experimental result shown in drawing 4 - drawing 6 , when about 20v of $V_{sc}(s)$ is low set up from 15V from V_{comopt} , disclination will be controlled and a display will become good. Moreover, also when V_{com} separates delicately from V_{comopt} , it is hard coming to generate disclination and display quality is stabilized.

[0040]

[Example 2] The plan of the unit pixel of the 2nd example of the liquid crystal display of this invention is shown in drawing 7 , and the cross section which met drawing 8 at the B-B' line of drawing 7 is shown.

[0041] drawing 7 -- setting -- 1 -- a gate electrode and 2 -- a semiconductor film and 3 -- a drain electrode and 4 -- a source electrode and 5 -- in the TFT back channel protection-from-light film contact section and 11, a scan signal line and 12 show a video-signal line, and, as for a pixel electrode and 7, 14 shows [the edge of the TFT side conductivity protection-from-light film, and 8] the back channel protection protection-from-light film, respectively.

[0042] With reference to drawing 8 , this example deposits Cr film by the spatter on a glass substrate 100, etches selectively Cr film of the portion equivalent to a display electrode formation field, punctures it, and forms the TFT side conductivity protection-from-light film 116. Next, a silicon nitride film is deposited on the front face containing the TFT side conductivity protection-from-light film 116 with a CVD method, and the TFT protection-from-light layer insulator layer 114 is formed.

[0043] After etching selectively the portion equivalent to the contact hole of a silicon nitride film and puncturing it, on the TFT protection-from-light layer insulator layer 114, Cr is deposited and the gate electrode 111 and the gate contact 141 are formed.

[0044] A silicon nitride film is made to deposit with a CVD method, and the gate insulator layer 115 is formed. Then, n+ mold amorphous silicon layer prepared in the front face of the amorphous silicon film 119 and an amorphous silicon is selectively formed on the gate insulator layer 115 corresponding to the gate electrode 111, on the gate insulator layer 115 on opening of the protection-from-light film 116, an ITO film is prepared selectively and the display electrode 105 is formed. Here, the display electrode 105 is formed so that it may have the opening periphery and duplication portion of the TFT side conductivity

protection-from-light film 116.

[0045] Next, the portion equivalent to the contact hole of the gate insulator layer 115 is etched selectively.

[0046] Cr film is deposited on the front face containing the amorphous silicon film 119, it etches selectively, and the drain electrode 113, the source electrode 118 (for example, refer to the cross section of drawing 10), and the drain contact 142 are formed.

[0047] n⁺ mold amorphous silicon layer 19a (for example, refer to the cross section of drawing 10) of the field corresponding to the gate electrode 111 is removed by using the source drain electrodes 113 and 118 as a mask.

[0048] Next, a silicon nitride film is made to deposit with a CVD method, and the passivation film 117 is formed.

[0049] Furthermore, the portion equivalent to a contact hole is etched selectively. Then, by depositing Cr on the passivation film 117 and etching selectively, the TFT back channel top conductivity protection-from-light film 140 is formed, and the thin film transistor array substrate of this example is completed.

[0050] Here, the TFT back channel top conductivity protection-from-light film 140 becomes the TFT side conductivity protection-from-light film 116 and this potential, and can be given to arbitration. That is, the TFT back channel top conductivity protection-from-light film 140 comes to have a function as a stable backgate electrode. In addition, unlike the conventional example, a gate line and a drain wire can get down independently electrically, and this backgate (14 of drawing 7) can give the potential by which arbitration was stabilized.

[0051] If minus voltage is impressed to a backgate, in addition to the disclination depressor effect in said 1st example, the leakage current at the time of TFT OFF can be controlled.

[0052] As mentioned above, although it was based on each above-mentioned example and this invention was explained, as for this invention, it is needless to say that the various modes which are not limited only to the above-mentioned mode and apply to the principle of this invention are included.

[0053]

[Effect of the Invention] As explained above, according to this invention, by giving different suitable potential from a counterelectrode to the TFT side conductivity protection-from-light film, the disclination generated in a pixel periphery could be reduced and improvement in display grace and stabilization were able to be realized as a liquid crystal display.

[0054] Moreover, while controlling disclination by having connected electrically the TFT side conductivity protection-from-light film for the back channel top conductivity protection-from-light film through the contact hole according to this invention, it has the effect that the leakage current at the time of TFT OFF can be controlled.

[Translation done.]

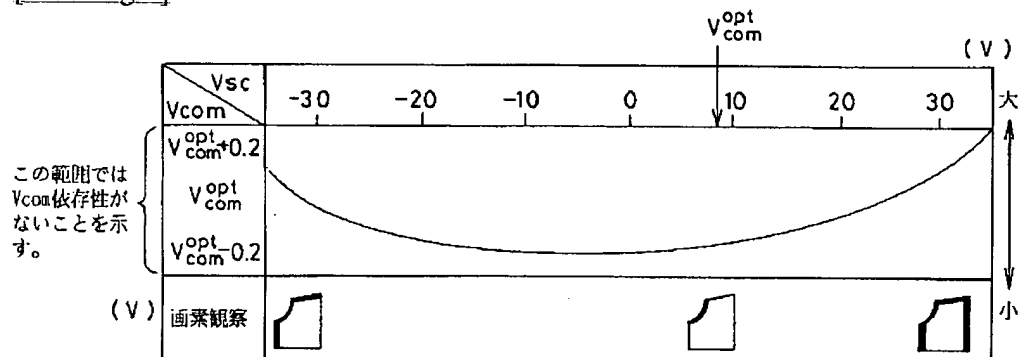
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

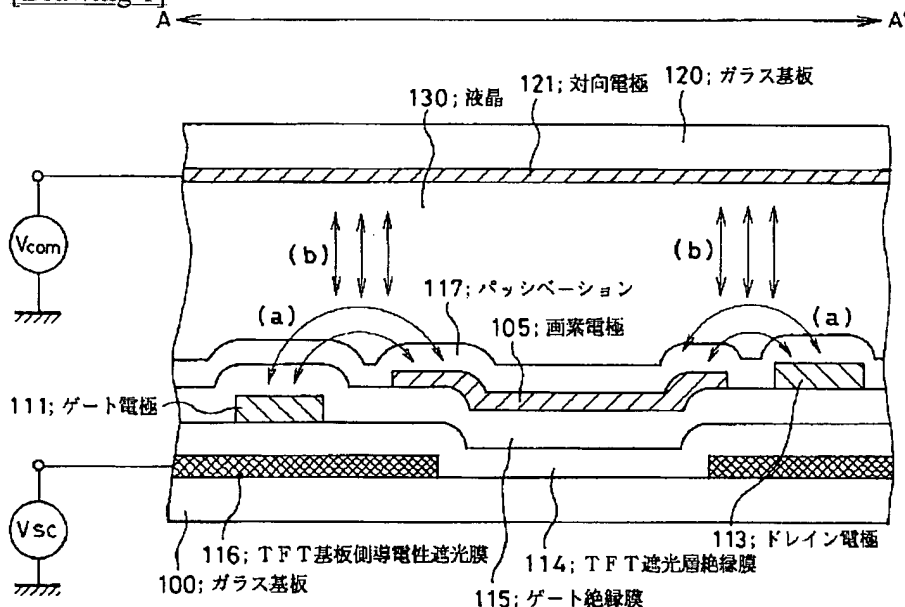
DRAWINGS

[Drawing 6]

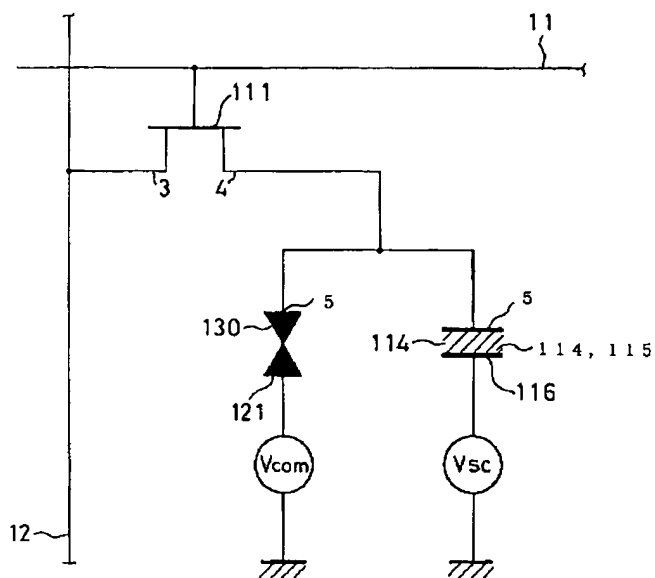


画素内周辺に見える明瞭面積 (概念内)

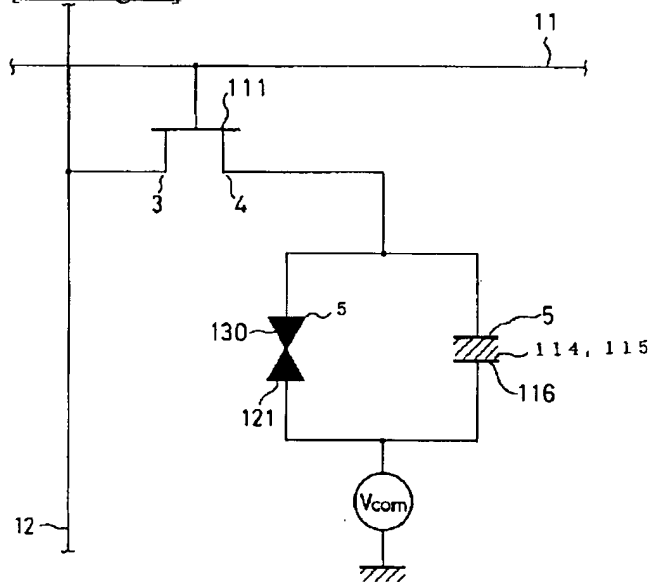
[Drawing 1]



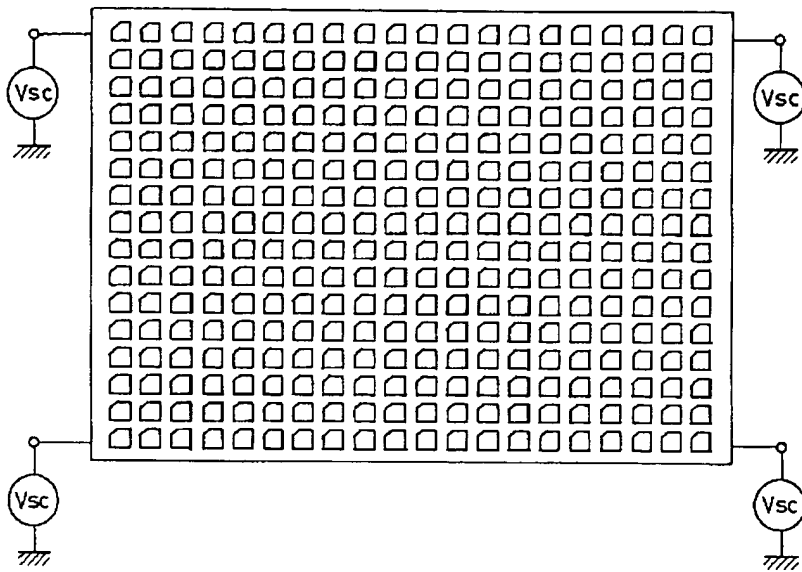
[Drawing 2]



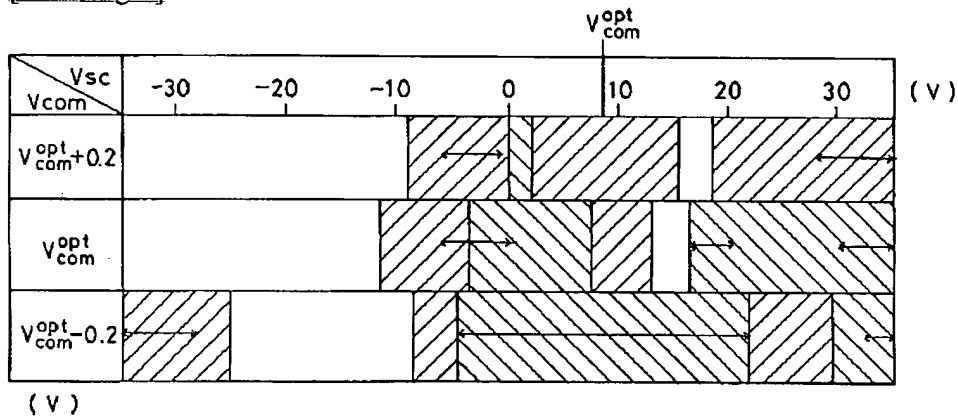
[Drawing 13]



[Drawing 3]

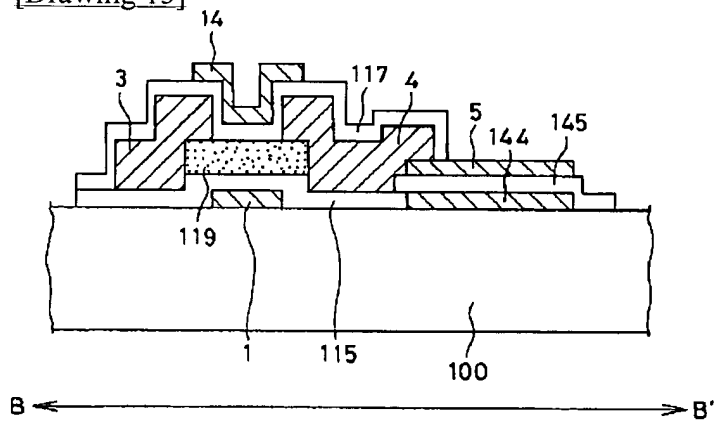


[Drawing 4]

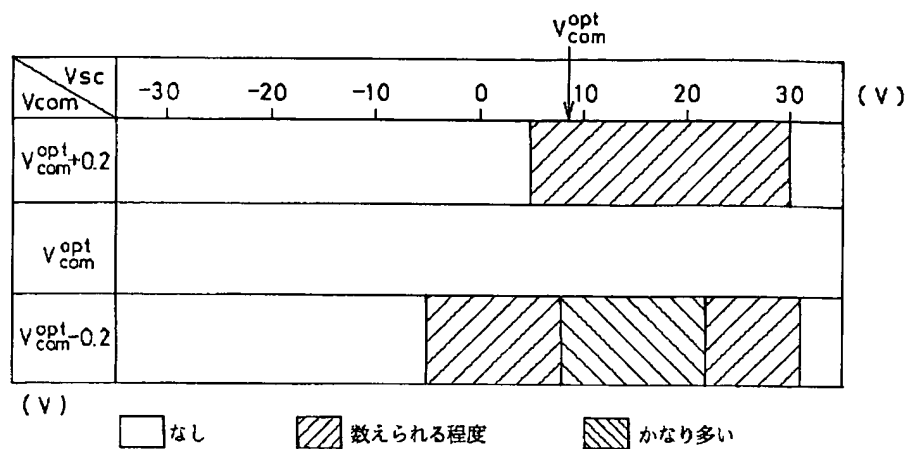


□ なし ▨ 0.6 s 未満 ▩ 0.6 以上
 ← 肉眼で残像が認められた範囲
 ディスクリネーション画素内開口部存在時間

[Drawing 15]

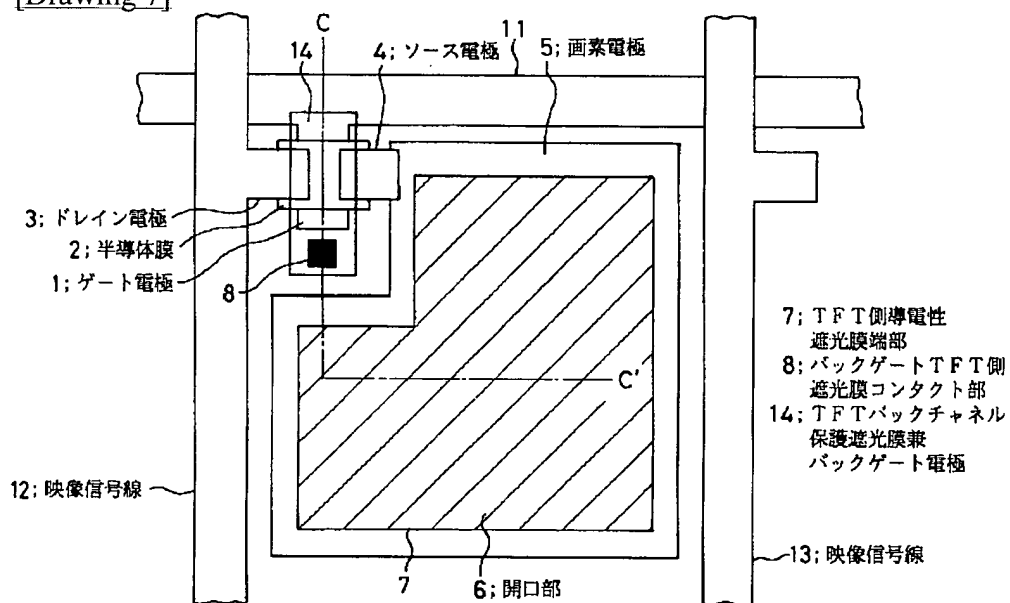


[Drawing 5]

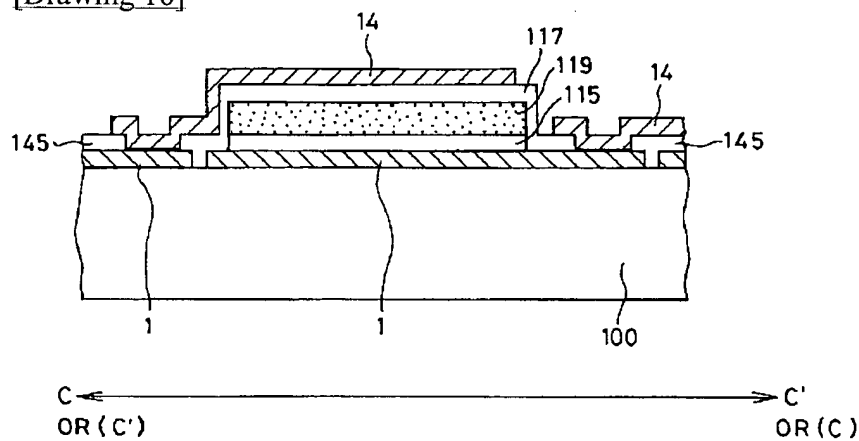


画素内開口部に定在するディスクリネーション頻度 (画素数)

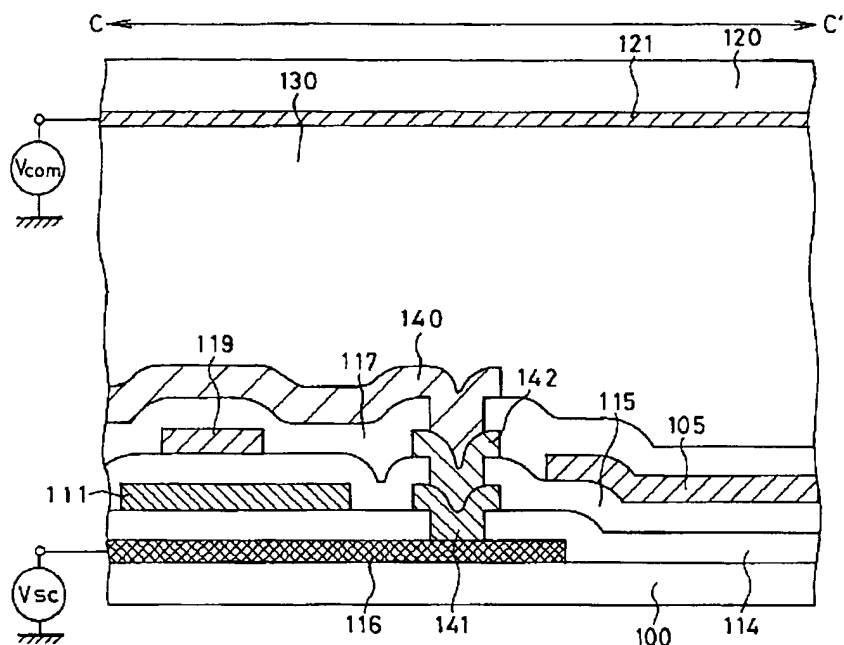
[Drawing 7]



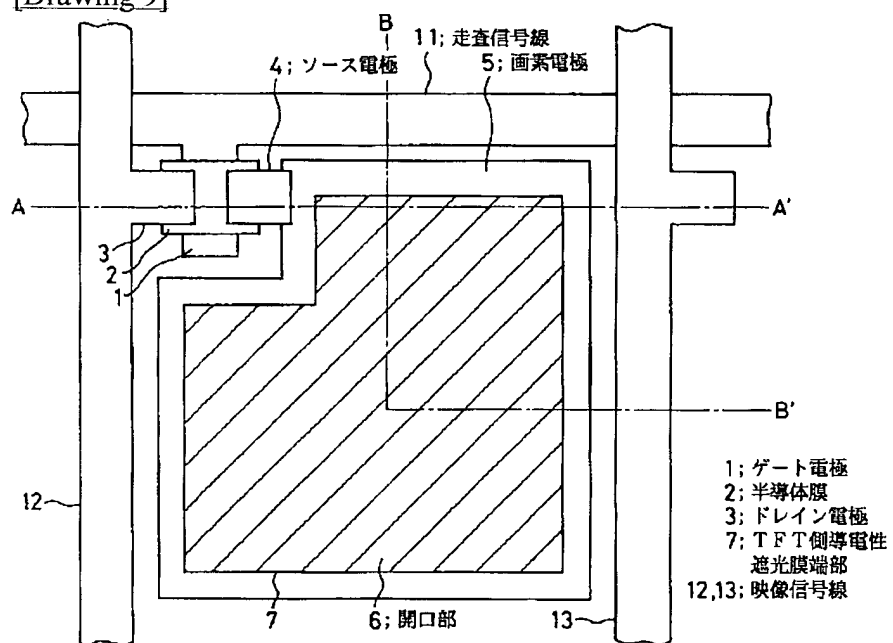
[Drawing 16]



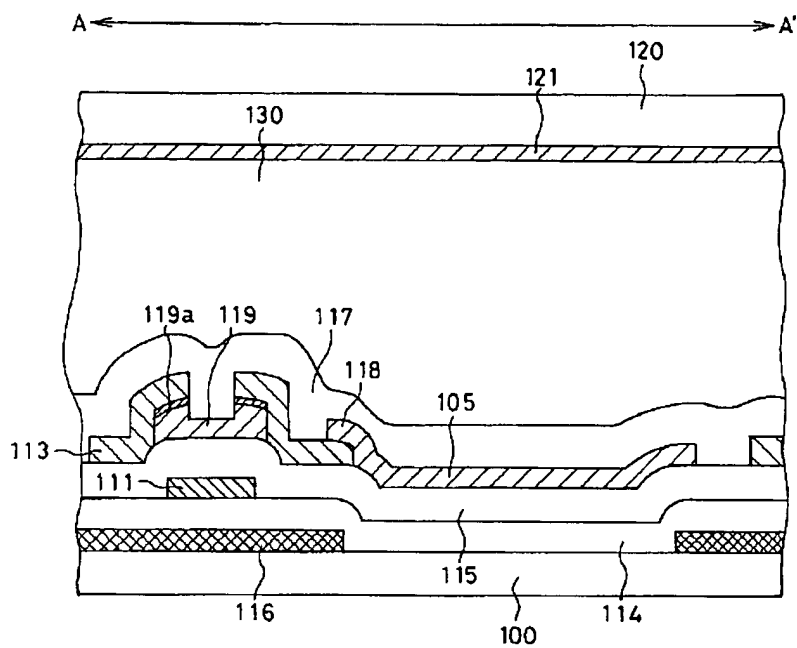
[Drawing 8]



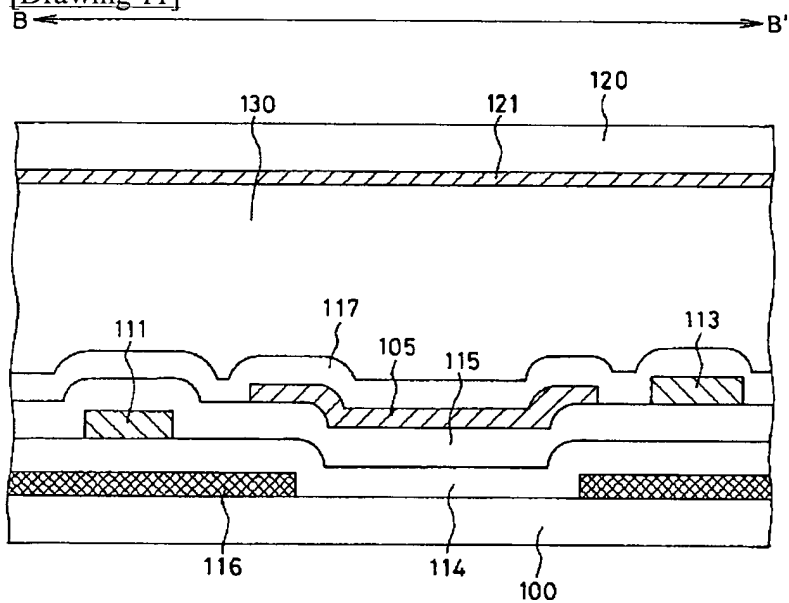
[Drawing 9]



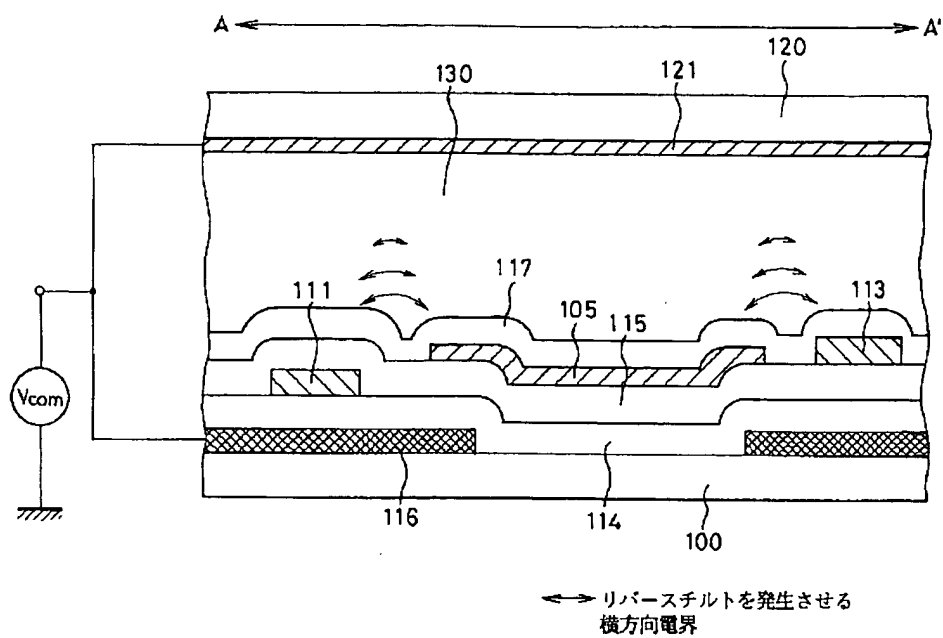
[Drawing 10]



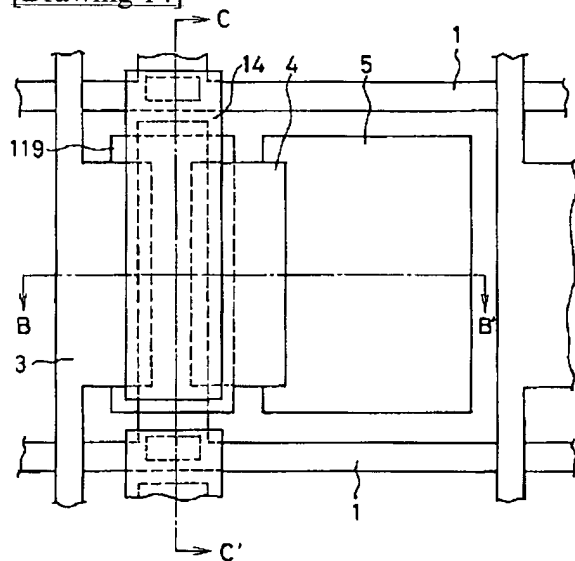
[Drawing 11]



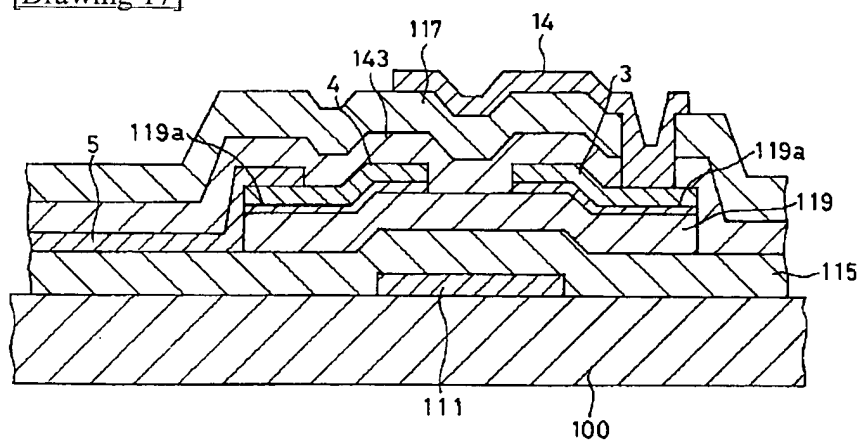
[Drawing 12]



[Drawing 14]



[Drawing 17]



[Translation done.]